

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-193195

(43) 公開日 平成7年(1995)7月28日

(51) Int.Cl.<sup>8</sup>H 0 1 L 27/08  
27/04  
21/822

識別記号

3 3 1 F

庁内整理番号

9170-4M

F I

技術表示箇所

H 0 1 L 27/ 04

H

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号

特願平5-331105

(22) 出願日

平成5年(1993)12月27日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 野添 実

京都市右京区西院溝崎町21番地 ローム株  
式会社内

(72) 発明者 平賀 則秋

京都市右京区西院溝崎町21番地 ローム株  
式会社内

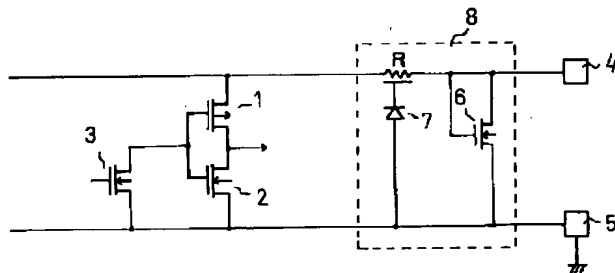
(74) 代理人 弁理士 佐野 静夫

(54) 【発明の名称】 CMOS集積回路装置

(57) 【要約】

【目的】 電源端子の静電耐圧を上げるとともにラッチアップが起こりにくいCMOS集積回路装置を提供する。

【構成】 LDD構造のCMOSトランジスタ1、2、3を有するCMOS集積回路装置において、電源端子4とグランド端子5間に並列に耐圧用のシングルドレイン構造のMOSトランジスタ6と、耐圧用兼ラッチアップ防止用のジャンパーダイオード7を設けている。



(2)

特開平7-193195

1

## 【特許請求の範囲】

【請求項1】LDD構造のCMOS素子を有するCMOS集積回路装置において、電源端子とグランド端子間に並列に耐圧用のシングルドレイン構造のMOSトランジスタと、耐圧用兼ラッチアップ防止用のジャンパーダイオードを設けたことを特徴とするCMOS集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はCMOS集積回路装置に関するものであり、特にCMOSデバイスの保護に関する。

## 【0002】

【従来の技術】MOS集積回路において集積性を向上させる場合、MOSトランジスタの微細構造化が避けられない。反面、微細化を進めるとチャンネル長が短くなり、ホットエレクトロン効果が顕著になり、MOSトランジスタの信頼性が低下する。このため、最近では従来のシングルドレイン構造に代えてLDD (Lightly Dope dDrain) 構造が用いられている。

【0003】このLDD構造にすると、シングルドレイン構造のように高濃度で近接している場合に比べ、空乏層の広がりが大きくなり、電界が弱くなり、基板電流、ゲート電流が小さくなって、信頼性が向上する。

【0004】しかしながら、LDD構造ではゲートの酸化膜も薄くなり、静電気破壊を起こし易い。このように、CMOS集積回路装置は微細化するにつれて入出力端子の静電破壊耐電圧が低下することとなった。このため、信号の入出力端子に保護素子を設け、且つその保護素子や内部のCMOS素子のゲート酸化膜に直接高い電圧が加わらないように回路設計上の工夫を行っている。

## 【0005】

【発明が解決しようとする課題】一方、電源端子に接続される素子は集積化が進むにつれて加速度的に数が増加し、設計上の回路チェックやパターンレイアウト上のチェックミスにより電源端子の静電気に対する耐圧低下が生じるようになってきている。また、CMOS集積回路では、寄生トランジスタが必然的に生じるが、この寄生トランジスタはサイリスタを構成するので、一度ONになると、そのON状態を維持し、本来のCMOS素子の動作を損なう結果となる。この寄生トランジスタのON維持状態はラッチアップと呼ばれる。

【0006】本発明はこのような点に鑑みなされたものであって、電源端子の静電耐圧を上げるとともにラッチアップが起こりにくいCMOS集積回路装置を提供することを目的とする。

## 【0007】

【課題を解決するための手段】上記の目的を達成するため本発明では、LDD構造のCMOS素子を有するCMOS集積回路装置において、電源端子とグランド端子間

2

に並列に耐圧用のシングルドレイン構造のMOSトランジスタと、耐圧用兼ラッチアップ防止用のジャンパーダイオードを設けている。

## 【0008】

【作用】このような構成によると、シングルドレイン構造のMOSトランジスタはLDD構造のMOSトランジスタに比べて一次降伏電圧が低いので、電源端子に印加された静電パルスや過電圧サージに対し一次降伏を起こし、内部回路への高電圧印加を阻止する。尚、シングルドレイン構造のMOSトランジスタの二次降伏電圧は高いので、二次降伏を起こして、それ自身が破壊してしまう可能性は比較的少ない。一方、ジャンパーダイオードも順方向に静電パルスや過電圧サージがかかった場合、ONして耐圧素子として働く。また、このジャンパーダイオードは逆方向の高い電圧に対してはOFFであるが、その抵抗によって入力端子から内部のCMOS素子へ流れてラッチアップを起こしうる電流を制限するので、ラッチアップ防止としても作用する。

## 【0009】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1は本実施例のCMOS集積回路装置の要部を示している。1と2はCMOSを成すPチャンネルMOSトランジスタとNチャンネルMOSトランジスタであり、3はそれらのゲートに信号を与えるMOSトランジスタである。

【0010】4は電源入力端子、5はグランド端子である。8は保護回路であり、この保護回路8は電源端子4とグランド端子5間に接続されたNチャンネルMOSトランジスタ6と、ジャンパーダイオード7とから成っている。ジャンパーダイオード7はカソード側に数 $\Omega$ の抵抗Rを有している。

【0011】図2は図1の回路に対応した各素子の構造図を示している。ただし、トランジスタ3は省略している。図2において、10はP型の半導体基板であり、11と12は、それぞれトランジスタ6のソース領域とドレイン領域であり、N<sup>+</sup>層から成っている。13、14はソース電極とドレイン電極である。15はゲート酸化膜であり、16はゲート電極である。この構造から分かるように、MOSトランジスタ6はシングルドレイン構造である。

【0012】次に、17はN<sup>+</sup>拡散層であり、基板10とN<sup>+</sup>拡散層17間にPN接合のダイオード7が形成される。右のN<sup>+</sup>拡散層18上のコンタクトは電源端子4に接続され、左のN<sup>+</sup>拡散層19上のコンタクトは次段のCMOS素子に接続される。右のコンタクト61と左のコンタクト62間には、N<sup>+</sup>拡散層による抵抗分Rが生じる。図1に示されているRはN<sup>+</sup>拡散層による抵抗である。

【0013】CMOSを成すトランジスタ1と2は、いずれもLDD構造をしている。22はNウエルであり、

このNウェル22にP層でソース領域23とドレイン領域24が形成されている。25、26は低濃度のP<sup>-</sup>拡散層である。27、28はソース電極とドレイン電極であり、29はゲート酸化膜、30はゲート電極である。上記22~30によってLDD構造のPチャンネルMOSトランジスタ1が形成されている。

【0014】次に、31~38はLDD構造のNチャンネルMOSトランジスタ2を形成している。ここで、31、32はN<sup>+</sup>層よりなるドレイン領域とソース領域であり、33、34は低濃度のN<sup>-</sup>拡散層である。35はドレイン電極、36はソース電極、37はゲート酸化膜、38はゲート電極である。39はグランド接続用のP<sup>+</sup>領域である。

【0015】トランジスタ1とトランジスタ2及び基板10によって寄生のPNPトランジスタQ1とNPNトランジスタQ2が形成される。トランジスタ1のソース電極を通して入力される電流がPNPトランジスタQ1のエミッタに流入してPNPトランジスタQ1をONさせると、NPNトランジスタQ2もONする。トランジスタQ1とQ2はサイリスタを構成するので、一度ONになると、ラッチアップを起こす。しかし、本実施例では、ジャンパーダイオード7を成す部分の抵抗Rによって電源端子4からトランジスタ1側へ流れる電流が制限されるので、過電圧サージ等が電源端子に加わっても前記ラッチアップは起こり難くなる。

【0016】図3において、aは前記LDD構造のMOSトランジスタ1と2の電圧対電流特性を示している。また、bはシングルドレイン構造のMOSトランジスタ6の電圧対電流特性を示している。これから分かるように、シングルドレイン構造のトランジスタ6はLDD構造のトランジスタ1、2に比し、一次降伏電圧が低く、二次降伏電圧が高い。このため、電源端子4に正の静電パルスや過電圧サージが加わったとき、トランジスタ6がONし、内部のトランジスタ1、2の破壊を防止する。このトランジスタの二次降伏電圧は高いので、それ自身が壊れる可能性は低い。尚、電源端子4に負の静電パルスや過電圧サージが加わった場合には、トランジスタ6はOFFであるが、トランジスタ6の寄生ダイオードはONし、又ダイオード7がONして内部のトランジ

スタ1、2を保護する。

【0017】上記実施例では、P型基板を用いた場合を挙げたが、N型基板を用いたものであってもよい。また、上記実施例で、トランジスタ6はNチャンネル型であったが、Pチャンネル型としてもよい。その場合は、ゲートを電源端子4でなく、グランド端子5に接続する。

【0018】図4は上述した保護回路8の適用例について示している。1つの集積回路装置に複数の電源端子が設けられている場合があるが、このとき電源端子40に関し、内部の寄生ダイオード41が充分大きく、これが保護回路の役割をする場合には、この電源端子40に保護回路は設けない。一方、内部の寄生ダイオード42が小さい電源端子43に関しては保護回路8を設ける。

【0019】

【発明の効果】以上説明したように、本発明によればLDD構造のCMOSを有する超微細化の集積回路であっても、電源端子から入ってくる外部サージ電圧や静電パルスによる誤動作や破壊を充分防止することができる。とともに、寄生サイリスタのラッチアップを充分防止することができる。

【図面の簡単な説明】

【図1】本発明を実施したCMOS集積回路装置の要部回路図。

【図2】その構造図。

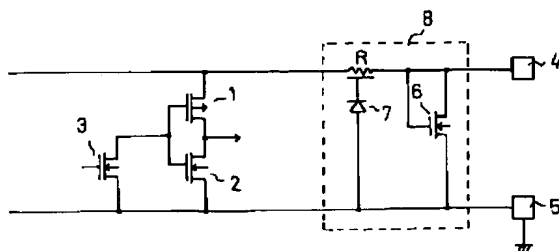
【図3】LDD構造とシングルドレイン構造の各MOSトランジスタの電圧対電流の特性図。

【図4】本発明の他の実施例の要部回路図。

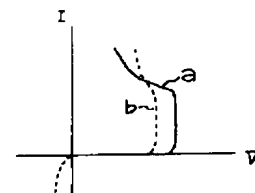
【符号の説明】

- 1、2 CMOSを構成するLDD構造のMOSトランジスタ
- 4 電源端子
- 5 グランド端子
- 6 シングルドレイン構造のMOSトランジスタ
- 7 ジャンパーダイオード
- 8 保護回路
- 10 半導体基板
- Q1、Q2 サイリスタを構成する寄生トランジスタ

【図1】



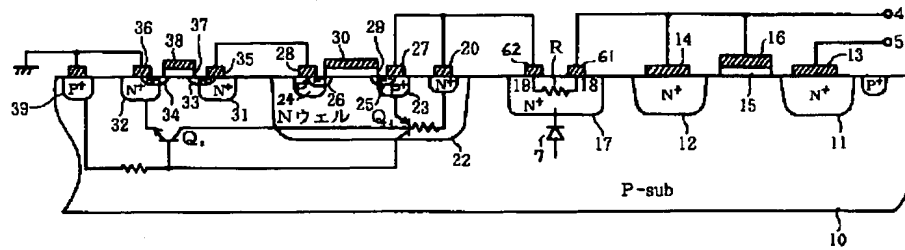
【図3】



(4)

特開平 7 - 1 9 3 1 9 5

【図 2】



【図 4】

